

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 平1-133299

⑫ Int. Cl. 4 識別記号 ⑬ 公開 平成1年(1989)5月25日
 G 11 C 29/00 302 7737-5B
 G 06 F 11/10 330 K-7368-5B
 番査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭62-291180
 ⑯ 出 願 昭62(1987)11月18日

⑰ 発明者 宮脇 好和 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
 ⑰ 発明者 寺田 康 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
 ⑰ 発明者 中山 武志 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
 ⑰ 発明者 林越 正紀 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
 ⑰ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
 ⑰ 代理人 弁理士 早瀬 憲一

最終頁に続く

明細書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 読み出し情報と書き込み時に生成された検査ビットとを入力とし、これからシンドロームを生成するシンドローム生成回路と、

該シンドローム生成回路から出力されるシンドロームを入力とするシンドロームデコード回路を含み、どの情報に誤りがあるかを検出し、該誤りの情報をもとに上記読み出し情報の誤り訂正を行う誤り訂正回路とを有する半導体記憶装置において、

上記シンドローム生成回路と上記シンドロームデコード回路との間に設けられ、制御信号によりシンドロームコードを制御する制御回路を備えたことを特徴とする半導体記憶装置。

(2) 上記制御回路は上記シンドロームコードと上記制御信号との論理積をとる回路であることを特徴とする特許請求の範囲第1項記載の半導体記

憶装置。

(3) 上記制御信号が "H" のとき通常モードの動作を行い、上記制御信号が "L" のとき上記読み出し情報をそのまま出力するテストモードの動作を行うことを特徴とする特許請求の範囲第2項記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体記憶装置に関し、特に ECC 回路を有する半導体記憶装置に関するものである。

(従来の技術)

第2図は半導体記憶装置における読み出し部を示す。図において、1, 2はシンドローム生成回路、3は誤り訂正回路である。

本装置は8ビット1ワード構成であり、メモリセルから読み出された情報は、図では $y_1 \sim y_8$ に相当する。ECC (Error Check and Correction) 回路を有さない記憶装置では、この $y_1 \sim y_8$ が読み出し情報（出力）になる。しかし、ECC 回路を有する場合は、情報書き込みと同時に

検査ビット生成回路により検査ビットを発生させ、検査ビットの内容がメモリアレイに書き込まれる。この検査ビットは1ワード（8ビット）につき、1組（4ビット）必要である。そして、読み出し時に読み出し情報とともに検査ビットが読み出され、これらからシンドローム生成回路1、2によりシンドローム $s_1 \sim s_4$ が発生され、シンドロームデコード回路及び訂正回路により読み出し情報の誤りが訂正され、 $D_1 \sim D_4$ として出力される。

このように検査ビットを設けることにより、読み出し時の誤りを訂正することができ、チップの信頼性をあげることができる。

(発明が解決しようとする問題点)

従来の半導体記憶装置は以上のように構成され、常時誤りが訂正されてしまうので、読み出し情報を誤り訂正を行わずに読み出したい場合、たとえばメモリセル自体のテスト時等においても読み出し情報をそのまま読み出すことはできないという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、読み出し情報の誤りを訂正して読み出しができるとともに、必要に応じて誤りを訂正せずに読み出し情報をそのまま出力できるECC回路を有する半導体記憶装置を得ることを目的とする。

(問題点を解決するための手段)

この発明に係る半導体記憶装置は、ECC回路を構成しているシンドローム生成回路に新たに制御信号を付加し、この制御信号に応じてシンドロームコードを制御する回路を附加したものである。

(作用)

この発明における半導体記憶装置では、制御信号により、シンドローム生成回路によって生成されたシンドロームのコードを制御する。

(実施例)

以下、この発明の一実施例を図について説明する。

第1図はこの発明の一実施例による半導体記憶装置を示す回路図である。図において、 $y_1 \sim y_8$

はメモリアレイからの読み出し情報、 $y_9 \sim y_{12}$ は書き込み時に生成され読み出し時に読み出し情報と一緒に読み出される検査ビット、1は読み出し情報の検査ビットを生成するためのシンドローム生成回路、2は出力 $p_1 \sim p_4$ のそれぞれと検査ビット $y_9 \sim y_{12}$ のそれを入力するシンドローム生成回路、 $s_1 \sim s_4$ はシンドローム生成回路1、2により生成された第1のシンドローム、4は $s_1 \sim s_4$ のそれぞれと制御信号 \overline{TE} との論理積を行うAND回路9、10、11、12を有する制御回路、 $t_1 \sim t_4$ は制御回路4より出力される第2のシンドローム、15は $t_1 \sim t_4$ を入力し、どのビットに誤りがあるかを検出するシンドロームデコード回路、16はシンドロームデコード回路15の検出結果と読み出し情報 $y_1 \sim y_8$ とから読み出し情報の誤りを訂正する誤り訂正回路である。

次に動作について説明する。

読み出し時の読み出し情報 $y_1 \sim y_8$ 及び検査ビット $y_9 \sim y_{12}$ より第1のシンドローム $s_1 \sim$

s_4 を生成する。このとき $\overline{TE} = "H"$ (通常動作)の場合、第2のシンドローム $t_1 \sim t_4$ に第1のシンドローム $s_1 \sim s_4$ の内容がそのまま伝わる。その第2のシンドローム $t_1 \sim t_4$ よりシンドロームデコード回路15及び誤り訂正回路16を用い、読み出し情報 $y_1 \sim y_8$ の誤りを訂正する。

次に $\overline{TE} = "L"$ の場合、第1のシンドローム $s_1 \sim s_4$ の内容にかかわらず第2のシンドローム $t_1 \sim t_4$ はオール "L" になる ($\overline{TE} = "L"$ であるため)。シンドロームコードがオール "L" というのは読み出し情報に誤りなしというコードに相当する。よってシンドロームデコード回路15及び誤り訂正回路16で読み出し情報を変化(訂正)させることなく $D_1 \sim D_4$ として出力することができる。

このように制御信号 \overline{TE} によってシンドロームを制御することにより通常動作を行わせたり、読み出し情報の訂正機能を停止させたりすることができる。

なお、制御信号によりシンドロームコードを制御する制御回路は、上記実施例のように制御信号 \overline{TE} により第 2 のシンドロームがオール・ゼロとなるものであれば、AND 回路 9, 10, 11, 12 に限らず、どのような論理演算回路を用いて構成してもよい。

(発明の効果)

以上のようにこの発明に係る半導体記憶装置によれば、シンドローム生成回路とシンドロームデコード回路との間に制御信号によりシンドロームを制御する回路を設けたので、実使用時には誤り訂正を行い、テスト時は誤り訂正を行わずにチップ自体の動作のテストを行うことができ、より高い信頼性を得ることができる効果がある。

4. 図面の簡単な説明

第 1 図は本発明の一実施例による半導体記憶装置の読み出し部の回路図、第 2 図は従来の半導体記憶装置の読み出し部の回路図である。

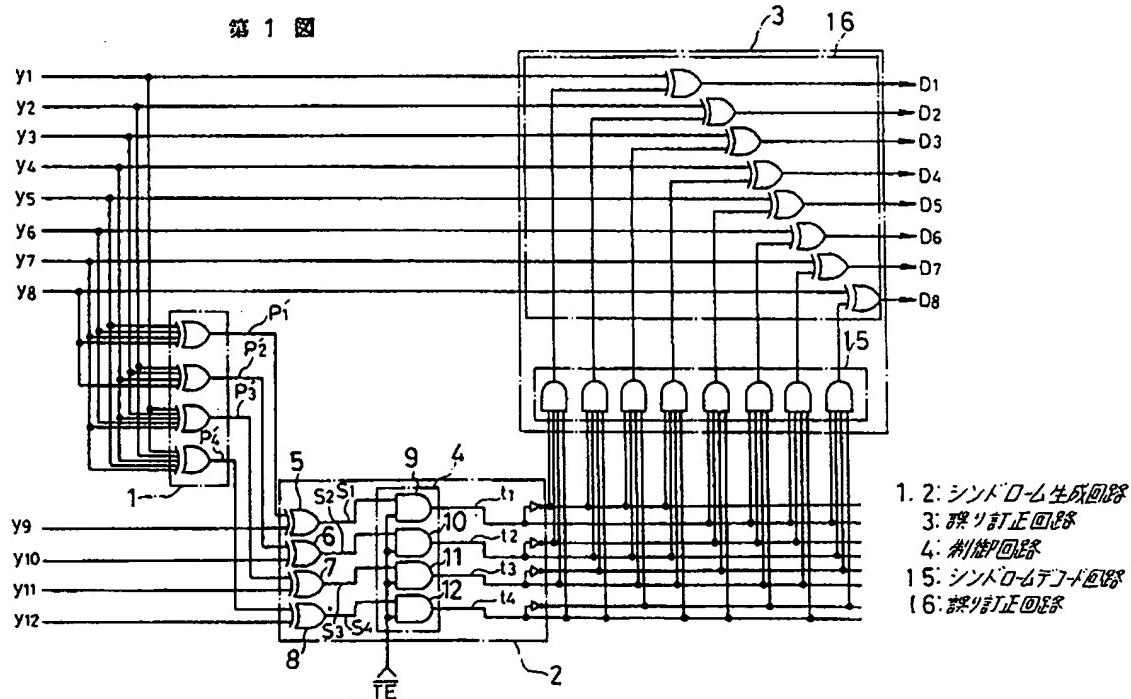
図において、1, 2 はシンドローム生成回路、3, 16 は誤り訂正回路、4 は制御回路、15 は

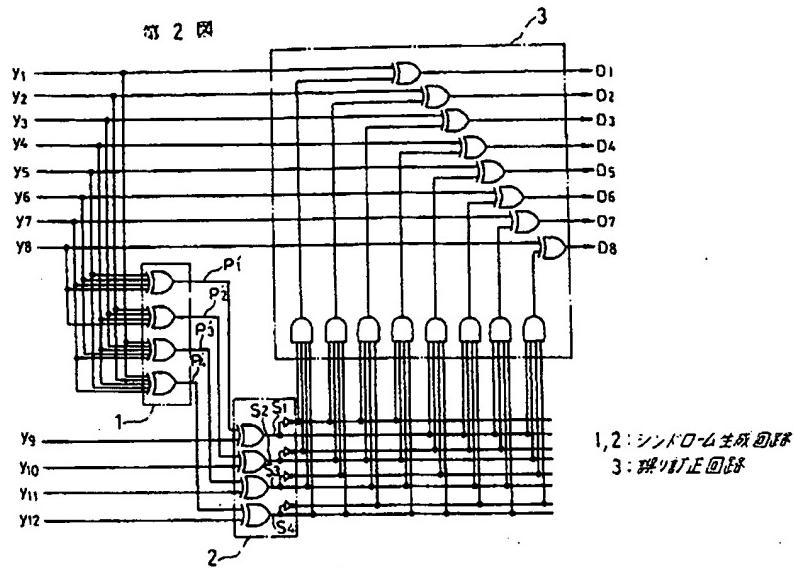
シンドロームデコード回路である。

なお図中同一符号は同一又は相当部分を示す。

代理人 早瀬憲一

第 1 図





第1頁の続き

②発明者 小林 和男 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内